

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HONG-SOK CHOI

Application No.:

Filed:

For: **SYNCHRONOUS
SEMICONDUCTOR MEMORY
DEVICE**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-32808	23 May 2003


☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Farzad E. Amini, Reg. No. 42,261



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0032808
Application Number

출원년월일 : 2003년 05월 23일
Date of Application MAY 23, 2003

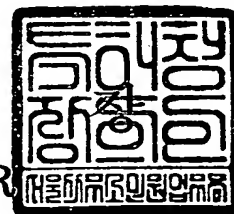
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





1020030032808

출력 일자: 2003/10/29

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.23
【발명의 명칭】	동기식 반도체 메모리 소자
【발명의 영문명칭】	SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	최홍석
【성명의 영문표기】	CHOI, Hong Sok
【주민등록번호】	681116-1646011
【우편번호】	360-070
【주소】	충청북도 청주시 상당구 금천동 장자마을부영아파트 1005-1504
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	6 면 6,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	432,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 설계 기술에 관한 것으로, 특히 동기식 반도체 메모리 소자의 셀프 리프레시 관련 기술에 관한 것이다. 본 발명은 패키지 레벨 테스트를 통해 셀프 리프레시 모드에서의 주변회로의 동작 분석이 가능한 동기식 반도체 메모리 소자를 제공하는데 그 목적이 있다. 셀프 리프레시 구간 신호에 제어 받아 클럭인에이블 신호를 버퍼링하여 셀프 리프레시 모드 클럭인에이블 신호를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼링 수단; 상기 클럭인에이블 신호를 버퍼링하여 노말 모드 클럭인에이블 신호를 생성하기 위한 노말 모드용 클럭인에이블 버퍼링 수단; 상기 노말 모드 클럭인에이블 신호에 제어 받아 외부 클럭을 버퍼링하여 내부 클럭을 생성하기 위한 클럭 버퍼링 수단; 및 상기 셀프 리프레시 구간 신호 및 테스트 모드 신호를 입력 받아 테스트 셀프 리프레시 모드에서 상기 노말 모드용 클럭인에이블 버퍼링 수단을 인에이블 시키기 위한 테스트 모드 제어 수단을 구비하는 동기식 반도체 메모리 소자가 제공된다.

【대표도】

도 3

【색인어】

동기식 반도체 메모리, 주변회로, 패키지 레벨 테스트, 셀프 리프레시, 동작 분석

【명세서】

【발명의 명칭】

동기식 반도체 메모리 소자{SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 종래기술에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로의 블록 다이어그램.

도 2는 상기 도 1의 회로의 타이밍 다이어그램.

도 3은 본 발명에 따른 동기식 반도체 메모리 소자의 블록 다이어그램.

도 4는 본 발명의 일 실시예에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로의 블록 다이어그램.

도 5는 상기 도 4의 회로의 테스트 셀프 리프레시 모드 타이밍 다이어그램.

* 도면의 주요 부분에 대한 부호의 설명

100 : 셀프 리프레시 모드용 클럭인에이블 버퍼

200 : 노말 모드용 클럭인에이블 버퍼

210 : 테스트 모드 제어부

220 : 클럭 버퍼

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 설계 기술에 관한 것으로, 특히 동기식 반도체 메모리 소자의 셀프 리프레시 관련 기술에 관한 것이다.
- <12> 최근의 반도체 메모리 분야의 주된 이슈는 집적도에서 동작 속도로 변모하고 있다. 이에 따라 DDR SDRAM(Double Data Rate Synchronous DRAM), RAMBUS DRAM 등의 고속 동기식 메모리가 반도체 메모리 분야의 새로운 화두로 떠오르고 있다.
- <13> 동기식 메모리는 외부의 시스템 클럭에 동기되어 동작하는 메모리를 말하며, DRAM 중에서는 현재 양산 메모리 시장의 주류를 이루고 있는 SDRAM이 이에 속한다. SDRAM은 입/출력 동작을 클럭의 라이징 에지(rising edge)에 동기시켜 매 클럭마다 한번의 데이터 액세스를 수행하게 된다. 한편, DDR SDRAM 등의 고속 동기식 메모리는 클럭의 라이징 에지 뿐만 아니라, 폴링 에지(falling edge)에도 입/출력 동작이 동기되어 매 클럭마다 두번의 데이터 액세스가 가능하다.
- <14> 한편, 반도체 메모리 소자 중에서도 DRAM은 SRAM이나 플래쉬 메모리와 달리 시간이 흐름에 따라 셀(입력된 정보를 저장하는 단위 유닛)에 저장된 정보가 사라지는 현상이 발생한다. 이러한 현상을 방지하기 위하여 외부에서 일정 주기마다 셀에 저장된 정보를 다시 기입해주는 동작을 수행하도록 하고 있으며, 이를 리프레시라 한다. 리프레시는 메모리 셀 어레이 안의 각 셀들이 가지는 리텐션 시간(retention time) 안에 적어도 한 번씩 워드라인을 띄워 데이터를

센싱하여 증폭시켜 주는 방식으로 행해진다. 여기서, 리텐션 시간이란 셀에 어떤 데이터를 기록한 후 리프레시 없이 데이터가 셀에서 유지될 수 있는 시간을 말한다.

<15> 리프레시 모드에는 노말 동작 중에 /RAS 및 /CAS 커맨드를 주기적으로 띄워 내부적으로 어드레스를 생성하여 해당 셀에 대한 리프레시를 수행하는 오토 리프레시 모드와, 노말 동작을 하지 않을 때 클럭인에이블 신호를 활성화 시키고 내부적으로 커맨드를 생성하여 수행하는 셀프 리프레시 모드가 있다. 오토 리프레시 모드와 셀프 리프레시 모드는 모두 커맨드를 받은 후 내부 카운터로부터 어드레스를 생성하여 수행되며, 요청이 들어올 때마다 이 어드레스가 순차적으로 증가하게 된다.

<16> 도 1은 종래기술에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로의 블록 다이어그램이다.

<17> 도 1을 참조하면, 종래기술에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로는, 클럭인에이블 신호(CKE) 및 셀프 리프레시 구간 신호(self)를 입력 받아 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼(10)와, 클럭인에이블 신호(CKE) 및 커맨드(CMD)를 입력 받아 셀프 리프레시 모드로의 진입을 내부 회로에 알려주기 위한 리프레시 모드 진입 회로(12)와, 셀프 리프레시 모드 클럭인에이블 신호(scke0), 셀프 리프레시 펄스(selfpulse), 단위 리프레시 종료 펄스(refend)에 응답하여 안전한 셀프 리프레시 탈출 시점을 내부 회로에 알려주기 위한 셀프 리프레시 모드 탈출 회로(13)와, 리프레시 모드 진입 회로(12) 및 셀프 리프레시 모드 탈출 회로(13)의 출력에 응답하여 셀프 리프레시 구간 신호(self)를 생성하기 위한 셀프 리프레시 구간 신호 발생부(15)와, 셀프 리프레시 구간 신호(self)를 입력 받아 셀프 리프레시

펄스(selfpulse)를 생성하기 위한 셀프 리프레시 펄스 발생부(16)와, 셀프 리프레시 펄스(selfpulse)를 카운트하여 내부 로우 어드레스(x-add)를 생성하기 위한 내부 로우 어드레스 카운터(17)를 구비한다.

<18> 여기서, 셀프 리프레시 모드 탈출 회로(13)는 셀프 리프레시 펄스(selfpulse)를 일 입력으로 하는 2-입력 노아 게이트(NOR1)와, 단위 리프레시 종료 펄스(refend) 및 래치 초기화 신호(rst)를 제1 및 제2 입력으로 하는 3-입력 노아 게이트(NOR2)와, 노아 게이트(NOR1)의 출력(노드 A) 및 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 입력으로 하는 낸드 게이트(NAND1)를 구비한다. 2-입력 노아 게이트(NOR1)와 3-입력 노아 게이트(NOR2)는 각각 나머지 하나의 입력단이 서로의 출력단에 연결되어 크로스 커플드 노아 래치를 이루고 있다. 이 크로스 커플드 노아 래치는 셀프 리프레시 펄스(selfpulse)를 셋 신호로 사용하고 단위 리프레시 종료 펄스(refend)를 리셋 신호로 사용하는 RS 래치로서, 실제 리프레시 동작이 이루어지는 윈도우를 설정한다.

<19> 한편, 통상적으로 동기식 반도체 메모리 소자는 노말 동작을 위해, 리프레시 클럭인에이블 신호(CKE) 및 셀프 리프레시 구간 신호(self)의 반전 신호를 입력 받아 노말 모드 클럭인에이블 신호(scke1)를 생성하기 위한 노말 모드용 클럭인에이블 버퍼(11)와, 노말 모드 클럭인에이블 신호(scke1)에 제어 받아 외부 클럭(CLK)을 버퍼링하여 내부 클럭(clk)을 생성하기 위한 클럭 버퍼(14)를 구비하고 있다.

<20> 도 2는 상기 도 1의 회로의 타이밍 다이어그램이다.

<21> 도 2를 참조하면, 동기식 DRAM의 동작시 커맨드(CMD)와 클럭인에이블

신호(CKE)의 조합에 의해 셀프 리프레시 모드로 진입하게 되면, 셀프 리프레시 회로는 셀프 리프레시 구간 동안 내부 로우 어드레스(x-add)를 순차적으로 증가시키고, 이 셀프 리프레시 구간에서 필요한 내부전원을 발생시키는 회로 이외의 대부분의 주변회로는 프리차지 상태를 유지하게 되어 DRAM의 소비전류가 최소인 상태가 된다. 셀프 리프레시 동작이 수행되는 동안 주변 회로 중에서 동작하는 회로는 셀프 리프레시 모드용 클럭인에이블 버퍼(10)로서, 셀프 리프레시 모드에서 클럭인에이블 신호(CKE)의 논리레벨 로우에서 하이로의 천이를 검출한다. 만일, 셀프 리프레시 동작 중에 클럭인에이블 신호(CKE)의 논리레벨 로우에서 하이로의 천이가 발생하면 셀프 리프레시 모드 탈출을 수행한다.

<22> 한편, 셀프 리프레시 모드 구간에서 논리레벨 하이를 유지하는 셀프 리프레시 구간 신호(self)가 액티브된 상태에서 내부 발진 회로인 셀프 리프레시 펄스 발생부(16)가 작동하여 주기적인 신호인 셀프 리프레시 펄스(selfpulse)를 발생시킨다. 이 셀프 리프레시 펄스(selfpulse)가 발생할 때마다 내부 로우 어드레스 카운터(17)가 동작하여 해당 워드라인을 활성화 시키고 로우 액티브 시간(tRAS) 후 프리차지 시키는 것을 주기적으로 반복함으로써 메모리 셀 리프레시를 수행하게 된다. 이때, 단위 리프레시 종료 펄스(refend)는 셀프 리프레시 펄스(selfpulse)가 활성화된 시점으로부터 일정 시간(tRAS) 후에 활성화되어 클럭인에이블 신호(CKE)의 논리레벨 로우에서 하이로의 천이가 셀프 리프레시 펄스(selfpulse)와 단위 리프레시 종료 펄스(refend)의 활성화 시점 사이에 발생하더라도 셀프 리프레시 펄스(selfpulse)의 활성화를 기다린 후 셀프 리프레시 모드를 탈출하도록 하여 내부적인 로우 액티브 시간(tRAS) 스펙을 만족하도록 한다.

<23> 그러나, 상기와 같은 종래기술에 따르면, 셀프 리프레시 모드에서는 내부 클럭(clk)이 발생하지 않기 때문에 데이터 출력부를 포함한 나머지 주변회로는 동작하지 않게 되며, 이에



따라 메모리 테스트시 셀프 리프레시 모드에서의 주변회로의 동작 분석(예컨대, 셀프 리프레시 주기 모니터링)이 곤란한 문제점이 있었다.

<24> 물론, 패키지 이전 상태에서는 즉, 웨이퍼 레벨 테스트에서는 주변회로의 내부 노드를 직접 프로빙하여 셀프 리프레시 모드에서의 주변회로의 동작 분석이 가능하나, 패키지 레벨 테스트에서는 셀프 리프레시 모드에서의 주변회로의 동작 분석이 어려운 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 패키지 레벨 테스트를 통해 셀프 리프레시 모드에서의 주변회로의 동작 분석이 가능한 동기식 반도체 메모리 소자를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<26> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 셀프 리프레시 구간 신호에 제어 받아 클럭인에이블 신호를 버퍼링하여 셀프 리프레시 모드 클럭인에이블 신호를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼링 수단; 상기 클럭인에이블 신호를 버퍼링하여 노말 모드 클럭인에이블 신호를 생성하기 위한 노말 모드용 클럭인에이블 버퍼링 수단; 상기 노말 모드 클럭인에이블 신호에 제어 받아 외부 클럭을 버퍼링하여 내부 클럭을 생성하기 위한 클럭 버퍼링 수단; 및 상기 셀프 리프레시 구간 신호 및 테스트 모드 신호를 입력 받아 테스트 셀프 리프레시 모드에서 상기 노말 모드용 클럭인에이블 버퍼링 수단을 인에이블 시키기 위한 테스트 모드 제어 수단을 구비하는 동기식 반도체 메모리 소자가 제공된다.

<27> 또한, 본 발명의 다른 측면에 따르면, 클럭인에이블 신호 및 셀프 리프레시 구간 신호를 입력 받아 셀프 리프레시 모드 클럭인에이블 신호를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼링 수단; 상기 클럭인에이블 신호, 커맨드 및 테스트 모드 신호를 입력 받아 셀프 리프레시 모드로의 진입을 내부 회로에 알려주기 위한 리프레시 모드 진입 수단; 상기 테스트 모드 신호에 응답하여 테스트 셀프 리프레시 모드에서 상기 셀프 리프레시 펄스의 펄스 폭을 확대하기 위한 펄스폭 확대 수단; 상기 펄스폭 확대 수단의 출력 신호, 상기 셀프 리프레시 모드 클럭인에이블 신호, 단위 리프레시 종료 펄스에 응답하여 셀프 리프레시 탈출 시점을 내부 회로에 알려주기 위한 셀프 리프레시 모드 탈출 수단; 상기 리프레시 모드 진입 수단 및 상기 셀프 리프레시 모드 탈출 수단의 출력 신호를 입력 받아 상기 셀프 리프레시 구간 신호를 생성하기 위한 셀프 리프레시 구간 신호 발생 수단; 상기 셀프 리프레시 구간 신호를 입력 받아 상기 셀프 리프레시 펄스를 생성하기 위한 셀프 리프레시 펄스 발생 수단; 상기 클럭인에이블 신호를 입력 받아 노말 모드 클럭인에이블 신호를 생성하기 위한 노말 모드용 클럭인에이블 버퍼링 수단; 상기 노말 모드 클럭인에이블 신호에 제어 받아 외부 클럭을 버퍼링하여 내부 클럭을 생성하기 위한 클럭 버퍼링 수단; 상기 테스트 모드 신호, 상기 셀프 리프레시 모드 클럭인에이블 신호, 상기 셀프 리프레시 구간 신호에 응답하여 테스트 셀프 리프레시 모드에서 상기 노말 모드용 클럭인에이블 버퍼링 수단을 인에이블 시키고, 카운터 리셋 신호를 생성하기 위한 테스트 모드 제어 수단; 상기 카운터 리셋 신호에 의해 초기화되며, 셀프 리프레시 펄스를 카운트하여 내부 로우 어드레스를 생성하기 위한 내부 로우 어드레스 카운팅 수단; 및 내부 로우 어드레스 카운팅 수단으로부터 출력된 내부 로우 어드레스의 초기화 상태를 검출하여 데이터 출력핀을 통해 플래그 신호를 출력하기 위한 초기화 어드레스 검출 수단을 구비하는 동기식 반도체 메모리 소자가 제공된다.

- <28> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <29> 도 3은 본 발명에 따른 동기식 반도체 메모리 소자의 블록 다이어그램이다.
- <30> 도 3을 참조하면, 본 발명에 따른 동기식 반도체 메모리 소자는, 셀프 리프레시 구간 신호(self)에 제어 받아 클럭인에이블 신호(CKE)를 버퍼링하여 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼(100)와, 클럭인에이블 신호(CKE)를 버퍼링하여 노말 모드 클럭인에이블 신호(scke1)를 생성하기 위한 노말 모드용 클럭인에이블 버퍼(200)와, 셀프 리프레시 구간 신호(self) 및 테스트 모드 신호(tm)를 입력 받아 테스트 셀프 리프레시 모드에서 노말 모드용 클럭인에이블 버퍼(200)를 인에이블 시키기 위한 테스트 모드 제어부(210)와, 노말 모드 클럭인에이블 신호(scke1)에 제어 받아 외부 클럭(CLK)을 버퍼링하여 내부 클럭(clk)을 생성하기 위한 클럭 버퍼(220)를 구비한다.
- <31> 이하, 상기 도 3의 동기식 반도체 메모리 소자의 동작을 간략히 살펴본다.
- <32> 우선, 노말 모드에서는 셀프 리프레시 구간 신호(self)가 비활성화되므로, 테스트 모드 신호(tm)에 관계 없이 셀프 리프레시 모드용 클럭인에이블 버퍼(100)는 디스에이블 되고, 노말 모드용 클럭인에이블 버퍼(200)는 인에이블 되어 클럭 버퍼(220)로부터 내부 클럭(clk)이 출력된다. 따라서, 노말 모드에서는 실제 동작 상황이던지 테스트 상황이던지 간에 데이터 출력부를 비롯한 주변회로가 인에이블 된다.
- <33> 다음으로, 셀프 리프레시 모드에서는 실제 동작 상황과 테스트 상황에서 각각 다르게 동작하게 된다. 먼저, 실제 동작 상황의 셀프 리프레시 모드에서는 셀프 리프레시 구간 신호

(self)가 활성화 되므로 셀프 리프레시 모드용 클럭인에이블 버퍼(100)가 인에이블 된다. 이때 테스트 모드 신호(tm)는 비활성화 상태이므로 테스트 모드 제어부(210)의 출력 신호는 비활성화 되고, 결국 노말 모드용 클럭인에이블 버퍼(200)는 디스에이블 되어 데이터 출력부를 비롯한 주변회로 역시 디스에이블 된다. 한편, 테스트 상황의 셀프 리프레시 모드(테스트 셀프 리프레시 모드)에서는 셀프 리프레시 구간 신호(self)와 테스트 모드 신호(tm)가 모두 활성화 되기 때문에 셀프 리프레시 모드용 클럭인에이블 버퍼(100)는 물론, 노말 모드용 클럭인에이블 버퍼(200) 또한 인에이블 된다.

<34> 즉, 본 발명에 따르면, 테스트 셀프 리프레시 모드에서 내부 클럭(clk)이 발생되고, 이에 따라 데이터 출력부를 비롯한 주변회로가 인에이블 된 상태이므로, 패키지 레벨 테스트를 통한 셀프 리프레시 모드에서의 주변회로의 동작 분석이 가능해진다.

<35> 도 4는 본 발명의 일 실시예에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로의 블록 다이어그램이다.

<36> 도 4를 참조하면, 본 실시예에 따른 동기식 반도체 메모리 소자의 셀프 리프레시 회로는, 클럭인에이블 신호(CKE) 및 셀프 리프레시 구간 신호(self)를 입력 받아 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼(20)와, 클럭인에이블 신호(CKE), 커맨드(CMD) 및 테스트 모드 신호(tm)를 입력 받아 셀프 리프레시 모드로의 진입을 내부 회로에 알려주기 위한 리프레시 모드 진입 회로(22)와, 테스트 모드 신호(tm)에 응답하여 테스트 셀프 리프레시 모드에서 셀프 리프레시 펄스(selfpulse)의 펄스 폭을 확대하기 위한 펄스폭 확대부(30)와, 펄스폭 확대부(30)의 출력 신호(selfpulse_tm), 셀프 리프레시 모드 클럭인에이블 신호(scke0), 단위 리프레시 종료 펄스(refend)에 응답하여 셀프 리프레시 탈출 시점을 내부 회로에 알려주기 위한 셀프 리프레시 모드 탈출 회로(23)와, 리프레



시 모드 진입 회로(22) 및 셀프 리프레시 모드 탈출 회로(23)의 출력을 입력 받아 셀프 리프레시 구간 신호(self)를 생성하기 위한 셀프 리프레시 구간 신호 발생부(25)와, 셀프 리프레시 구간 신호(self)를 입력 받아 셀프 리프레시 펄스(selfpulse)를 생성하기 위한 셀프 리프레시 펄스 발생부(26)와, 테스트 모드 신호(tm), 셀프 리프레시 모드 클럭인에이블 신호(scke0), 셀프 리프레시 구간 신호(self)에 응답하여 테스트 셀프 리프레시 모드에서 내부 클럭 경로를 인에이블 시키고, 카운터 리셋 신호(/rst_cnt)를 생성하기 위한 테스트 모드 제어부(29)와, 테스트 모드 제어부(29)의 출력 및 클럭인에이블 신호(CKE)를 입력 받아 노말 모드 클럭인에이블 신호(scke1)를 생성하기 위한 노말 모드용 클럭인에이블 버퍼(21)와, 노말 모드 클럭인에이블 신호(scke1)에 제어 받아 외부 클럭(CLK)을 버퍼링하여 내부 클럭(clk)을 생성하기 위한 클럭 버퍼(24)와, 카운터 리셋 신호(/rst_cnt)에 의해 초기화되며, 셀프 리프레시 펄스(selfpulse)를 카운트하여 내부 로우 어드레스를 생성하기 위한 내부 로우 어드레스 카운터(27)와, 내부 로우 어드레스 카운터(27)로부터 출력된 내부 로우 어드레스의 각 비트가 모두 '0'인 초기화 상태를 검출하여 데이터 출력핀(DQ)를 통해 플래그 신호를 출력하기 위한 제로('0') 어드레스 검출부(28)를 구비한다.

<37> 여기서, 셀프 리프레시 모드 탈출 회로(23)는 펄스폭 확대부(30)의 출력을 일 입력으로 하는 2-입력 노아 게이트(NOR3)와, 단위 리프레시 종료 펄스(refend) 및 래치 초기화 신호(rst)를 제1 및 제2 입력으로 하는 3-입력 노아 게이트(NOR4)와, 노아 게이트(NOR3)의 출력(노드 A) 및 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 입력으로 하는 낸드 게이트(NAND2)를 구비한다. 2-입력 노아 게이트(NOR3)와 3-입력 노아 게이트(NOR4)는 각각 나머지 하나의 입력단이 서로의

출력단에 연결되어 크로스 커플드 노아 래치를 이루고 있다. 이 크로스 커플드 노아 래치는 펄스폭 확대부(30)의 출력(펄스폭이 확대된 셀프 리프레시 펄스)을 셋 신호로 사용하고 단위 리프레시 종료 펄스(refend)를 리셋 신호로 사용하는 RS 래치로서, 노말 셀프 리프레시 모드에서 실제 리프레시 동작이 이루어지는 윈도우를 설정하여 안전한 셀프 리프레시 모드 탈출이 이루어지도록 하고, 테스트 셀프 리프레시 모드에서는 클럭인에이블 신호(CKE)의 천이에 관계 없이 셀프 리프레시 탈출이 이루어지지 않도록 한다.

<38> 그리고, 테스트 모드 제어부(29)는 테스트 모드 신호(tm) 및 셀프 리프레시 모드 클럭인에이블 신호(scke0)를 입력으로 하여 카운터 리셋 신호(/rst_cnt)를 출력하기 위한 낸드 게이트(NAND3)와, 카운터 리셋 신호(/rst_cnt) 및 셀프 리프레시 구간 신호(self)를 입력으로 하여 노말 모드용 클럭인에이블 버퍼(21)의 인에이블 신호를 출력하기 위한 낸드 게이트(NAND4)를 구비한다.

<39> 도 5는 상기 도 4의 회로의 테스트 셀프 리프레시 모드 타이밍 다이어그램으로서, 이하 이를 참조하여 상기 도 4의 회로의 동작을 살펴본다.

<40> 우선, 노말 셀프 리프레시 모드에서의 동작을 살펴본다.

<41> 노말 셀프 리프레시 모드에서는, 즉 테스트 모드 신호(tm)가 논리레벨 로우로 비활성화된 경우에는 리프레시 모드 진입 회로(24)에 의해 리프레시 모드가 개시되고, 셀프 리프레시 모드용 클럭인에이블 버퍼(20)가 인에이블 되어 셀프 리프레시 구간 신호(self) 및 셀프 리프레시 펄스(selfpulse)가 활성화되며, 내부 로우 어드레스 카운터(27)에서 셀프 리프레시 펄스(selfpulse)를 카운팅함으로써 내부 로우 어드레스를 순차적으로 출력하여 셀프 리프레시 동작을 수행하게 된다. 이때, 펄스폭 확대부(30)는 디스에이블 되어 셀프 리프레시 펄스(selfpulse)는 확대되지 않는다.

<42> 한편, 노말 셀프 리프레시 모드에서는 테스트 모드 신호(tm)가 논리레벨 로우로 비활성화 되어 있으므로, 셀프 리프레시 모드 클럭인에이블 신호(SCKE0)의 상태(CKE의 파형 참조)와 관계 없이 테스트 모드 제어부(29)의 낸드 게이트(NAND3)가 디스에이블 되어 논리레벨 하이로 비활성화된 카운터 리셋 신호(/rst_cnt)를 출력하기 때문에 낸드 게이트(NAND4)는 인버터로 동작하여 노말 모드용 클럭인에이블 버퍼(21)는 디스에이블 되고, 이에 따라 클럭 버퍼(24) 또한 디스에이블 되어 내부 클럭(clk)이 발생하지 않게 된다. 이상의 과정은 종래기술(도 1 참조)의 노말 셀프 리프레시 모드와 동일하다고 할 수 있다.

<43> 다음으로, 테스트 셀프 리프레시 모드에서의 동작을 살펴본다.

<44> 테스트 셀프 리프레시 모드에서는, 즉 테스트 모드 신호(tm)가 논리레벨 하이로 활성화된 경우에는 셀프 리프레시 진입 후 일정 시간이 경과하여 클럭인에이블 신호(CKE)의 논리레벨 로우로부터 하이로의 천이가 발생하더라도 셀프 리프레시 동작이 계속하여 수행된다. 테스트 셀프 리프레시 모드에서는 펄스폭 확대부(30)에서 셀프 리프레시 펄스(selfpulse)의 펄스 폭이 충분히 확대되어 그 활성화 구간이 단위 리프레시 종료 펄스(refend)의 활성화 구간과 오버랩되는 신호(selfpulse_tm)가 된다. 이 경우, 단위 리프레시 종료 펄스(refend)가 활성화 되더라도 노드 A가 논리레벨 로우 상태를 유지하여 클럭인에이블 신호(CKE)가 논리레벨 로우로부터 하이로의 천이가 발생하더라도 셀프 리프레시 모드 탈출이 발생하지 않게 된다.

<45> 한편, 클럭인에이블 신호(CKE)가 하이로 천이되면, 테스트 모드 신호(tm)는 논리레벨 하이 상태이고 셀프 리프레시 모드 클럭인에이블 신호(scke0)가 논리레벨 하이 상태이므로, 테스트 모드 제어부(29)의 낸드 게이트(NAND3)는 논리레벨 로우로 활성화된 카운터 리셋 신호(/rst_cnt)를 출력한다. 이에 따라 노말 모드용 클럭 인에이블 버퍼(21)가 인에이블 되고, 클

럭 버퍼(24) 역시 인에이블 되어 내부 클럭(clk)이 발생하게 된다. 내부 클럭(clk)이 발생한 상태에서는 주변회로의 동작이 가능하고, 데이터 출력 또한 가능하게 된다.

<46> 그리고, 클럭인에이블 신호(CKE)의 논리레벨 로우로부터 하이로의 천이가 발생할 때 카운터 리셋 신호(/rst_cnt)가 활성화 되어 내부 로우 어드레스 카운터(27)가 초기화 되고, 이후 로우 어드레스 카운터(27)에 의해 내부 로우 어드레스가 순차적으로 출력된다.

<47> 한편, 제로('0') 어드레스 검출부(28)는 내부 로우 어드레스 카운터(27)로부터 출력되는 내부 로우 어드레스(x-add)의 각 비트가 모두 논리레벨 로우('0')가 되는 상태를 검출하여 데이터 출력핀(DQ)으로 논리레벨 하이의 플래그 신호를 출력함으로써 모든 내부 로우 어드레스(x-add)의 각 비트가 논리레벨 로우인 상태(초기화 상태)임을 알린다. 이후에도 테스트 셀프 리프레시 모드가 진행 중인 상태이므로 셀프 리프레시 펄스(selfpulse)에 의해 내부 로우 어드레스 카운터(27)가 순차적으로 증가하여 다시 모든 어드레스가 논리레벨 로우인 상태가 되는 경우가 발생할 것이며, 제로('0') 어드레스 검출부(28)는 이를 검출하여 데이터 출력핀(DQ)을 통해 다시 논리레벨 하이 상태의 플래그 신호를 출력하게 된다.

<48> 결국, 데이터 출력핀(DQ)을 통해 출력되는 플래그 신호간의 간격이 모든 셀에 대한 셀프 리프레시를 수행하는데 필요한 리프레시 시간(tREF)에 해당하므로, 패키지 레벨 테스트를 통해 정확한 셀프 리프레시 주기를 분석할 수 있게 된다.

<49> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명



의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<50> 전술한 본 발명은 셀프 리프레시 모드에서 동기식 반도체 메모리의 주변회로의 동작을 분석할 수 있는 효과가 있으며, 이에 따라 동기식 반도체 메모리의 동작 특성을 개선할 수 있다. 특히, 셀프 리프레시 주기를 모니터링하여 원하는 영역을 벗어난 경우, 패키지 레벨에서 가능한 전기적 퓨즈-컷(electrical fuse-cut operation)을 수행하여 셀프 리프레시 주기를 조절할 수 있다.

【특허청구범위】**【청구항 1】**

셀프 리프레시 구간 신호에 제어 받아 클럭인에이블 신호를 버퍼링하여 셀프 리프레시 모드 클럭인에이블 신호를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼링 수단;

상기 클럭인에이블 신호를 버퍼링하여 노말 모드 클럭인에이블 신호를 생성하기 위한 노말 모드용 클럭인에이블 버퍼링 수단;

상기 노말 모드 클럭인에이블 신호에 제어 받아 외부 클럭을 버퍼링하여 내부 클럭을 생성하기 위한 클럭 버퍼링 수단; 및

상기 셀프 리프레시 구간 신호 및 테스트 모드 신호를 입력 받아 테스트 셀프 리프레시 모드에서 상기 노말 모드용 클럭인에이블 버퍼링 수단을 인에이블 시키기 위한 테스트 모드 제어 수단

을 구비하는 동기식 반도체 메모리 소자.

【청구항 2】

클럭인에이블 신호 및 셀프 리프레시 구간 신호를 입력 받아 셀프 리프레시 모드 클럭인에이블 신호를 생성하기 위한 셀프 리프레시 모드용 클럭인에이블 버퍼링 수단;

상기 클럭인에이블 신호, 커맨드 및 테스트 모드 신호를 입력 받아 셀프 리프레시 모드의 진입을 내부 회로에 알려주기 위한 리프레시 모드 진입 수단;

상기 테스트 모드 신호에 응답하여 테스트 셀프 리프레시 모드에서 상기 셀프 리프레시 펄스의 펄스 폭을 확대하기 위한 펄스폭 확대 수단;

상기 펄스폭 확대 수단의 출력 신호, 상기 셀프 리프레시 모드 클럭인에이블 신호, 단위 리프레시 종료 펄스에 응답하여 셀프 리프레시 탈출 시점을 내부 회로에 알려주기 위한 셀프 리프레시 모드 탈출 수단;

상기 리프레시 모드 진입 수단 및 상기 셀프 리프레시 모드 탈출 수단의 출력 신호를 입력 받아 상기 셀프 리프레시 구간 신호를 생성하기 위한 셀프 리프레시 구간 신호 발생 수단;

상기 셀프 리프레시 구간 신호를 입력 받아 상기 셀프 리프레시 펄스를 생성하기 위한 셀프 리프레시 펄스 발생 수단;

상기 클럭인에이블 신호를 입력 받아 노말 모드 클럭인에이블 신호를 생성하기 위한 노말 모드용 클럭인에이블 버퍼링 수단;

상기 노말 모드 클럭인에이블 신호에 제어 받아 외부 클럭을 버퍼링하여 내부 클럭을 생성하기 위한 클럭 버퍼링 수단;

상기 테스트 모드 신호, 상기 셀프 리프레시 모드 클럭인에이블 신호, 상기 셀프 리프레시 구간 신호에 응답하여 테스트 셀프 리프레시 모드에서 상기 노말 모드용 클럭인에이블 버퍼링 수단을 인에이블 시키고, 카운터 리셋 신호를 생성하기 위한 테스트 모드 제어 수단;

상기 카운터 리셋 신호에 의해 초기화되며, 셀프 리프레시 펄스를 카운트하여 내부로우 어드레스를 생성하기 위한 내부로우 어드레스 카운팅 수단; 및

내부로우 어드레스 카운팅 수단으로부터 출력된 내부로우 어드레스의 초기화 상태를 검출하여 데이터 출력핀을 통해 플래그 신호를 출력하기 위한 초기화 어드레스 검출 수단

을 구비하는 동기식 반도체 메모리 소자.

【청구항 3】

제2항에 있어서,

상기 펄스폭 확대 수단은,

테스트 셀프 리프레시 모드에서 상기 셀프 리프레시 펄스의 활성화 구간이 상기 단위 리프레시 종료 펄스의 활성화 구간과 오버랩 되도록 상기 셀프 리프레시 펄스의 펄스폭을 확대하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 4】

제3항에 있어서,

상기 셀프 리프레시 모드 탈출 수단은 상기 펄스폭 확대 수단의 출력 신호를 셋 신호로 사용하고, 상기 단위 리프레시 종료 펄스를 리셋 신호로 사용하는 SR 래치와,

상기 SR 래치의 출력 신호와 상기 셀프 리프레시 모드 클럭인에이블 신호를 입력으로 하는 논리 조합 수단을 구비하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 5】

제4항에 있어서,

상기 SR 래치는 크로스 커플드 노아 래치인 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 6】

제5항에 있어서,

상기 논리 조합 수단은 낸드 게이트를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 7】

제2항에 있어서,

상기 테스트 모드 제어 수단은,

상기 테스트 모드 신호와 상기 셀프 리프레시 모드 클럭인에이블 신호를 입력으로 하여 상기 카운터 리셋 신호를 출력하기 위한 제1 논리 조합 수단과,

상기 카운터 리셋 신호와 상기 셀프 리프레시 구간 신호를 입력으로 하는 제2 논리 조합 수단을 구비하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 8】

제7항에 있어서,

상기 제1 및 제2 논리 조합 수단은 각각 낸드 게이트를 구비하는 것을 특징으로 하는 동기식 반도체 메모리 소자.

【청구항 9】

제2항에 있어서,



1020030032808

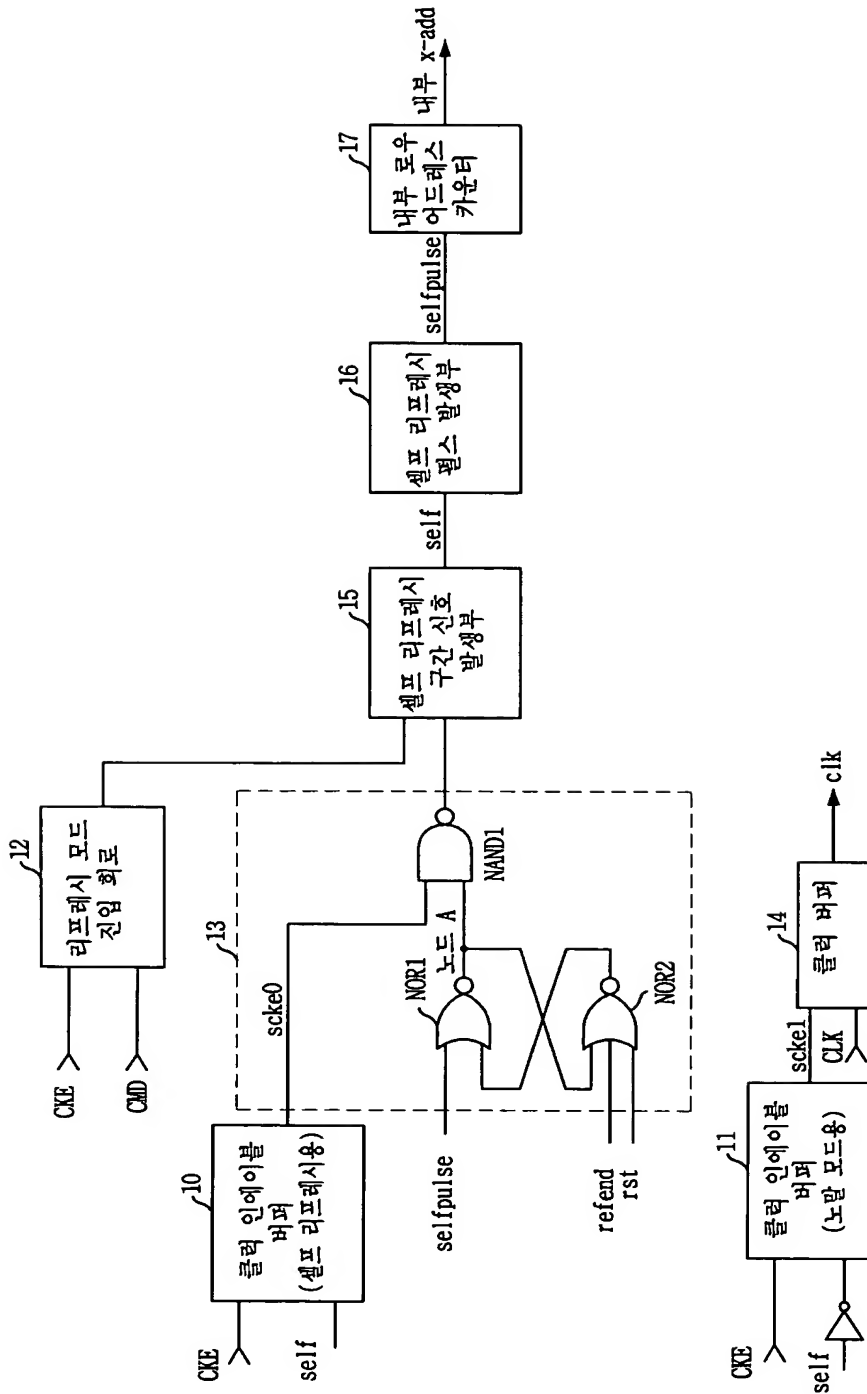
출력 일자: 2003/10/29

상기 초기화 어드레스 검출 수단은 상기 내부 로우 어드레스의 각 비트가 모두 제로인 상태를 검출하는 것을 특징으로 하는 동기식 반도체 메모리 소자.



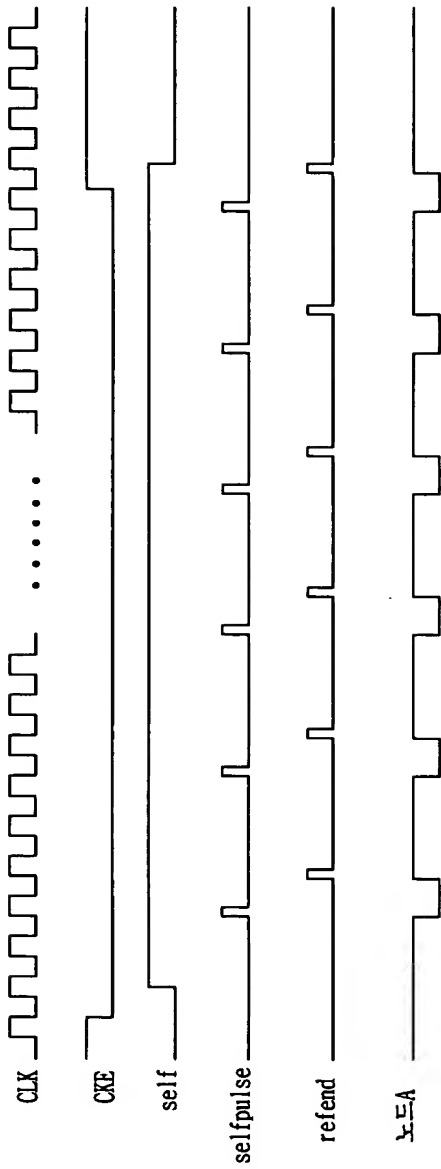
【도면】

【도 1】

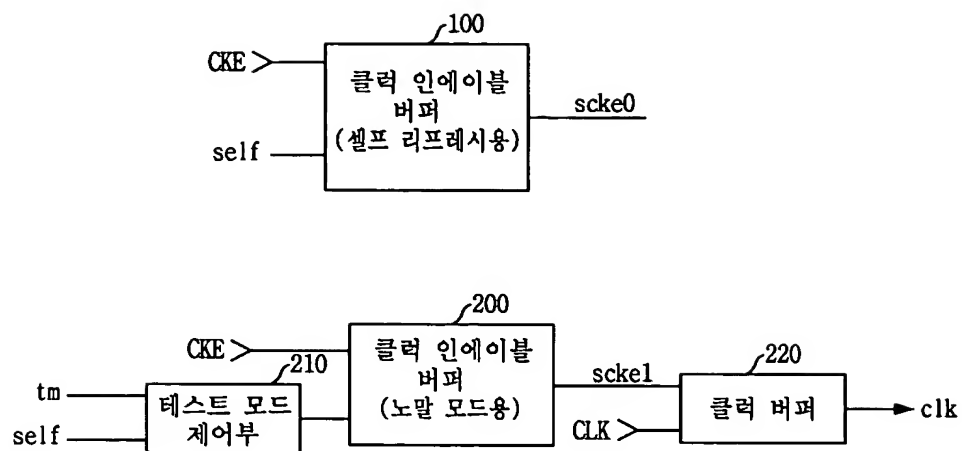




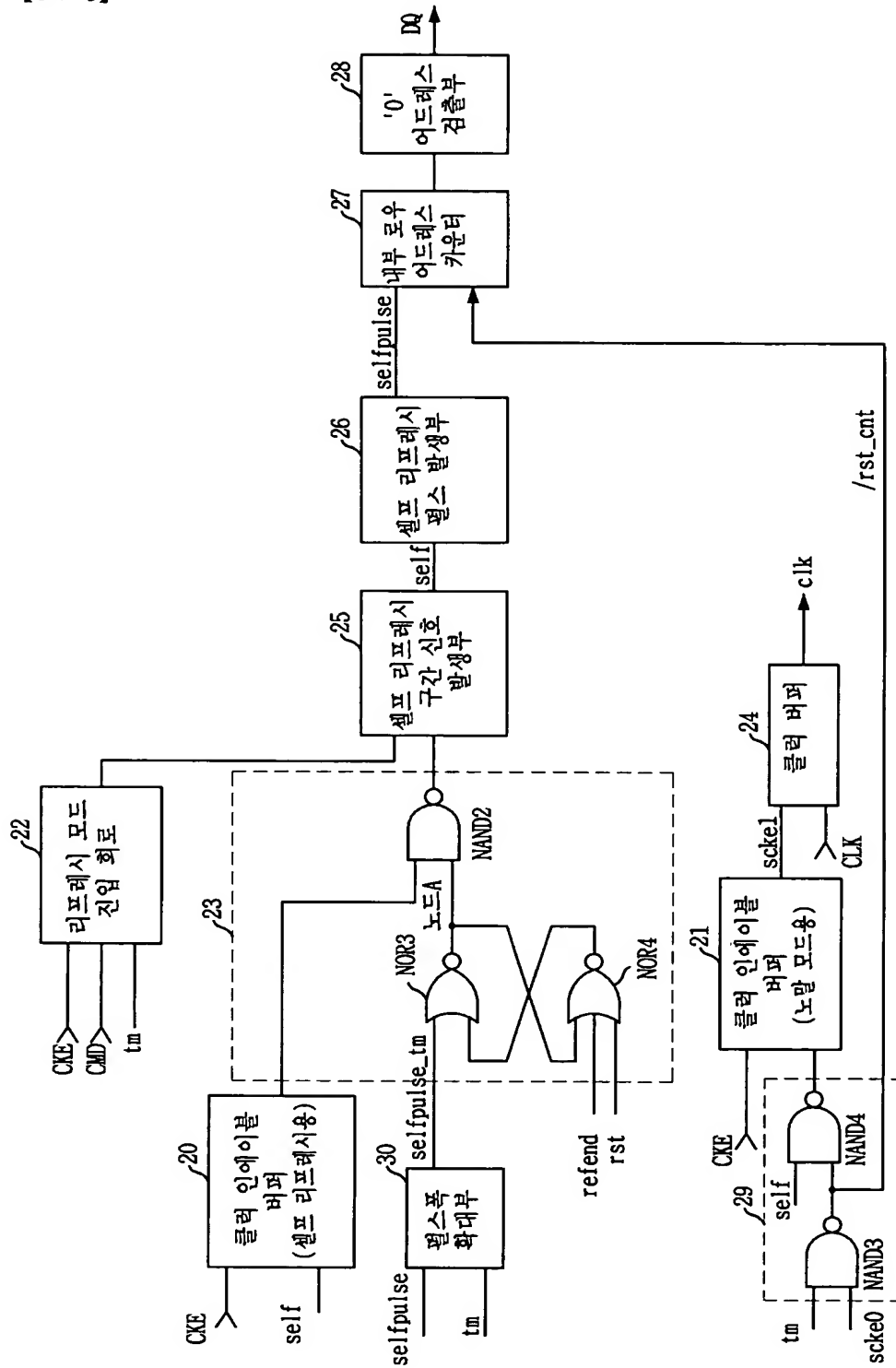
【도 2】



【도 3】



【도 4】



【도 5】

